UNI-T

MIPI D-PHY v1.2

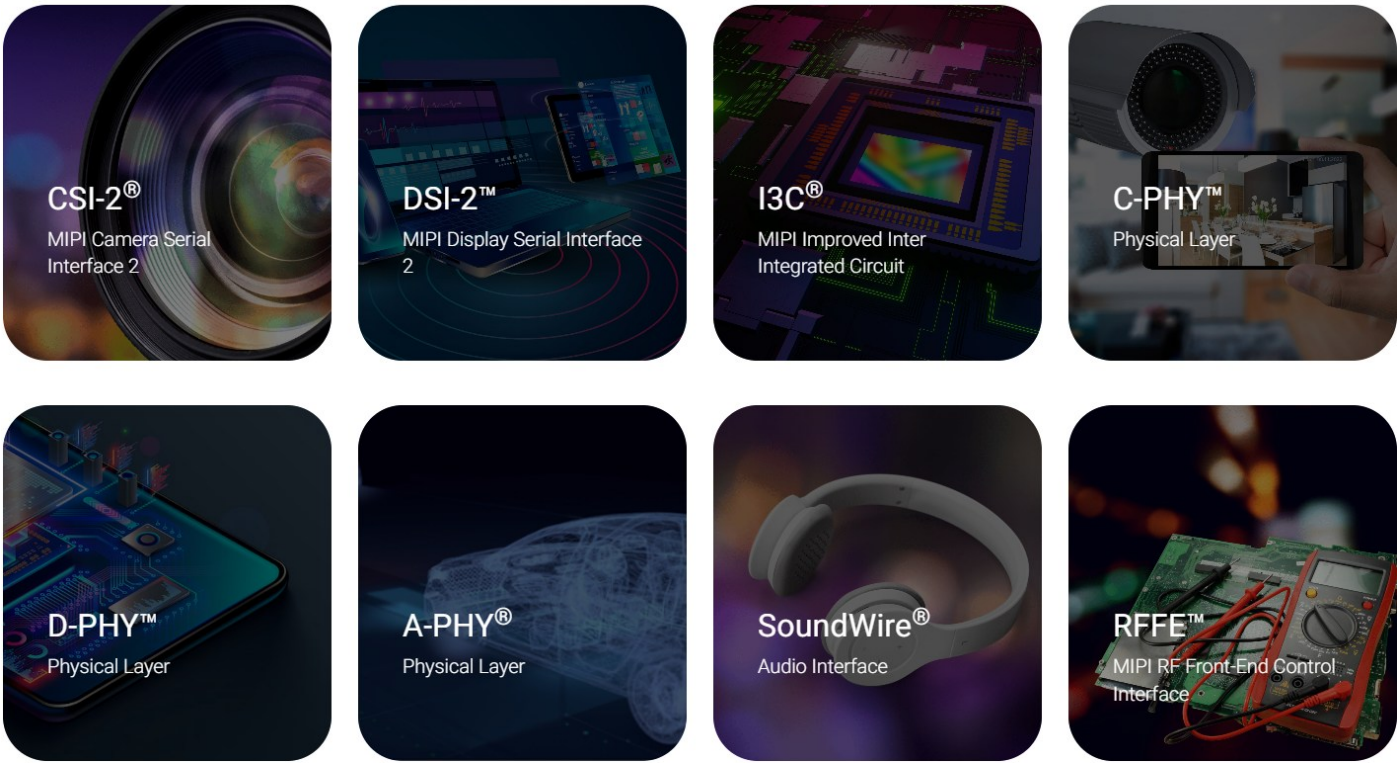
一致性分析解决方案

MIPI D-PHY v1.2 Conformance Analysis Solution



MIPI 简介

MIPI 全称为：**Mobile Industry Processor Interface【移动产业处理器接口】**，是由 MIPI 联盟（2003 年由 ARM、Nokia、ST、TI 等公司成立）制定的开放标准接口规范集合，旨在为移动设备提供高效、低功耗的数据传输解决方案。它广泛应用在智能手机、平板电脑、嵌入式系统等设备中，用于连接摄像头、显示屏、基带和射频模块等内部组件。在移动技术衍生市场中，MIPI 联盟接口在汽车行业和物联网（IOT）领域发挥着重要作用。汽车制造商利用这类接口，整合各类组件，应用与车载安全、信息娱乐系统以及高级驾驶辅助系统（ADAS）等。物联网厂商则依据该技术规范，研发全品类物联网设备，涵盖从单功能产品、多功能智能穿戴设备、复杂机器人系统等各类产品。



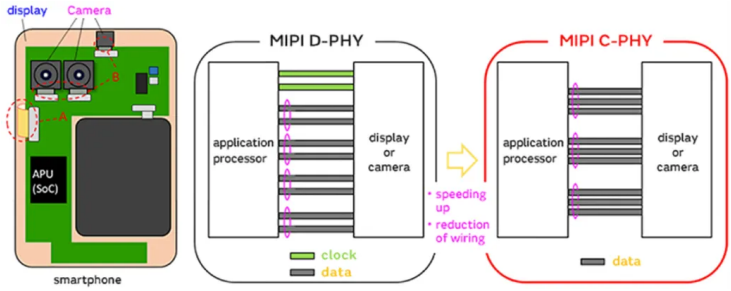
MIPI D-PHY 简介

MIPI D-PHY 能够将百万像素相机和高分辨率显示器连接到应用处理器，它是 MIPI 协议中最早成熟的物理层标准之一，主要为 DSI（串行显示接口）和 CSI（串行摄像头接口）提供底层传输支持，D-PHY 凭借灵活度高、速率快、功耗出色且成本低廉的优势，成为智能手机摄像头和显示器中最主流的物理层接口。也正因为这些特性，它还被广泛应用于各类场景，如无人机、超大尺寸平板电脑、安防摄像头以及工业机器人等，依托专用桥接方案，D-PHY 在车载领域同样被大批应用，如车载视觉摄像系统、防撞雷达、车载影音娱乐系统、车载仪表盘显示设备等多种使用场景。

了解 MIPI D-PHY 物理层

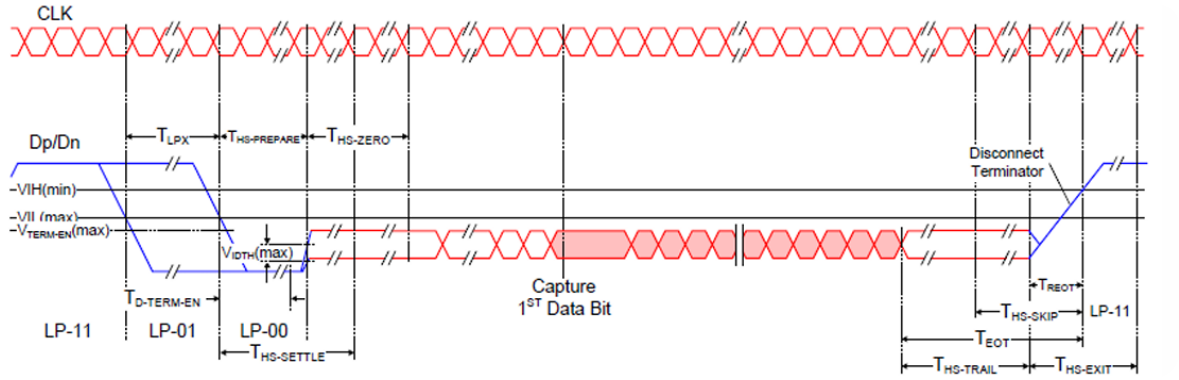
MIPI D/C-PHY 接口

D-PHY 的物理层由一对源同步的差分时钟和 1~4 对差分数据 Lane 来进行数据传输，每条 Lane 由 2 根信号线组成，分别是 P 和 N【根据数据的吞吐量来进行选择，至少有一对 Data Lane】，区别与 C-PHY 的三对差分数据 Lane，使用三线信令并将时钟嵌入到数据中的方式，D-PHY 则使用单独的时钟通道，并且时钟只能先于数据进行单向传输，即时钟优先于数据进行传输。好在 C-PHY 和 D-PHY 的接口非常类似，可以共用接口，共享模块，实现面积和功耗双削减，共同兼顾性能优化。



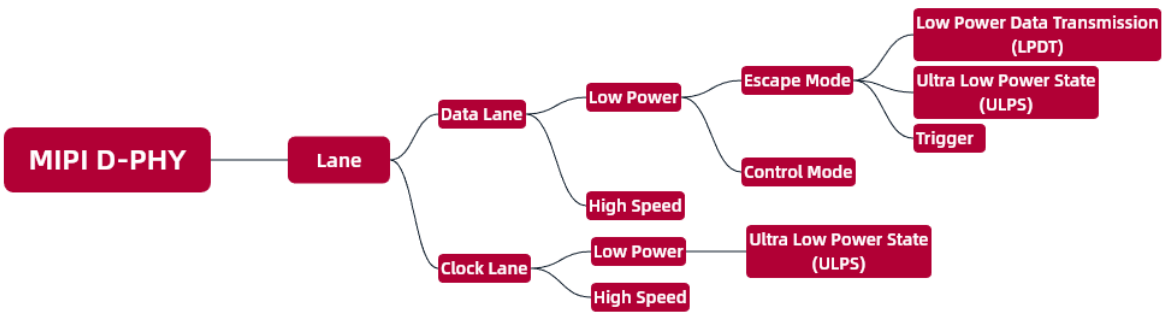
D-PHY 由一对单独的时钟线和 1~4 对差分数据线构成，C-PHY 则由三对差分数据线构成并且采用的三线差分信令，时钟嵌入到数据中

D-PHY 的物理层数据传输则采用 DDR（Double Data Rate）的方式，即在时钟的上升沿和下降沿都进行数据采集。MIPI D-PHY 定义了 High Speed（HS）和 Low Power（LP）两种传输模式，两种模式使用不同的传输电平和传输机制。v1.2 版本的 HS 支持最大传输速率为 80Mbps~2.5Gbps【De-skew 校准】，LP 模式最大速率为 10Mbps，这两种工作模式会混合在一起工作，在需要高数据量传输时会从 LP 模式转换为 HS 模式，数据传输完毕后又会从 HS 转换为 LP 模式，减少功耗。



MIPI D-PHY 时钟和数据时序图

MIPI D-PHY 测试复杂，需要了解它的工作原理，涉及 LP 模式的测试序列，HS 模式的测试序列，HS 进入，HS 退出，电压参数，时间参数等时序关系，才能更好地进行 MIPI D-PHY 的一致性测试。



数据通道

HS（High Speed）高速传输模式：

HS 模式用于图像帧、像素数据等大带宽业务的突发传输，在此模式下同步传输电平范围为 140mV~270mV 的差分信令，传输速率范围为 80M~2.5Gbps（v1.2 版本），高速模式下，Rx 端的端接电阻为单端 50Ω，差分 100Ω。

LP（Low Power）低功耗模式：

LP 模式通常用于传输一些控制指令，异步传输信号为单端信号，Dp 和 Dn 作为两根独立的单端信号线各自独立驱动，信号电平在 0~1.2V（1.2V 压摆），没有用时钟线，时钟通过两个数据线异或得到，传输速率最大为 10Mbps。值得提及的是，LP 模式的控制命令仅在 D0 通道上传输，其他通道则保持 LP-11，与 HS 模式不同，LP 模式的 Rx 端不需要端接，端接默认为高阻，所以 Rx 端不需要进行动态的端接电阻切换，只需要控制 Tx 端做出相应的控制变化即可。LP 模式下具有四种状态；LP-00，LP-01，LP-10，LP-11。

LP 模式下的数据通道:

LP 模式下，通道通常会发送以下几种控制命令：逃逸模式（Escape Mode）和控制模式（Control Mode）。

状态编码	线上电平		HS	LP	
	Dp	Dn	突发模式	控制模式	逃逸模式
HS-0	HS Low	HS High	差分-0	N/A	N/A
HS-1	HS High	HS Low	差分-1	N/A	N/A
LP-00	LP Low	LP Low	N/A	Bridge	Space
LP-01	LP Low	LP High	N/A	HS-Rqst	Mark-0
LP-10	LP High	LP Low	N/A	LP-Rqst	Mark-1
LP-11	LP High	LP High	N/A	Stop	N/A

逃逸模式：

逃逸模式是 D-PHY 在 LP 模式下的特殊扩展状态，其核心价值在于不启动高速收发器，仅使用 LP 单端电平的前提下，实现低速控制数据传输，深度功耗管理，远程事件触发等扩展功能，是 D-PHY 链路控制和功耗管理的核心。进入逃逸模式有严格的序列要求，通过固定的差分电平组合跳转实现模式识别。链路必须从 LP-11 空闲态出发，按固定顺序 LP-11→LP-10→LP-00→LP-01→LP-00，最终稳定在 LP-00 状态进入逃逸模式。

容错机制：若在序列完成前任意时刻出现 LP-11 电平，则流程立刻中止，不会进入逃逸模式，避免干扰信号无触发

进入逃逸模式后，发送端会立即发送 8 位逃逸命令码，通知接收端本次要执行的具体子功能。

功能名称	命令类型	十六进制命令码	线上传输比特顺序（先→后）
低功耗数据传输（LPDT）	Mode 型	0x87	1 1 1 0 0 0 0 1
超低功耗状态（ULPS）	Mode 型	0x84	0 0 1 0 0 0 0 1
远程复位触发（Reset-Trigger）	Trigger 型	0x92	0 1 0 0 1 0 0 1
自定义触发 1~3	Trigger 型	0xA1/0xB1/0xC1	对应低位优先序列
预留功能	-	-	未定义

- Mdoe 命令：进入对应子模式后可持续传输数据或保持状态，需主动退出
- Trigger 型命令：仅执行单次触发动作，命令码发送完成后，直接跳转至 LP-10 再回到 LP-11，完成退出
- LPDT 模式：用于在低功耗状态下传输任意长度的控制数据、寄存器配置指令，所有数据传输完成后，发送端输出退出序列，从 Space 态（LP-00）→LP-10→LP-11
- ULPS 模式：D-PHY 的最低功耗待机模式，通过逃逸命令进入后，链路绝大多数电路关断，仅保留唤醒检测电路，功耗可降至微安级，无法主动退出，必须由对端发送唤醒序列，检测到唤醒电平后逐步回到 LP-11。
- 远程复位触发（Reset-Trigger）：用于远程复位对端设备的 PHY 或协议层，异常恢复时使用
- 自定义触发：3 组预留触发命令，可由厂商自定义功能，比如帧同步触发、测试模式启动等

控制模式：

控制模式也称为低功耗控制模式（LP Control Mode）是 D-PHY 链路的默认基础模式与状态枢纽，所有链路管理、模式切换、功耗控制、低速交互都在控制模式下完成；高速模式（HS）仅用于数据突发传输，传输结束后必须立即退回控制模式。

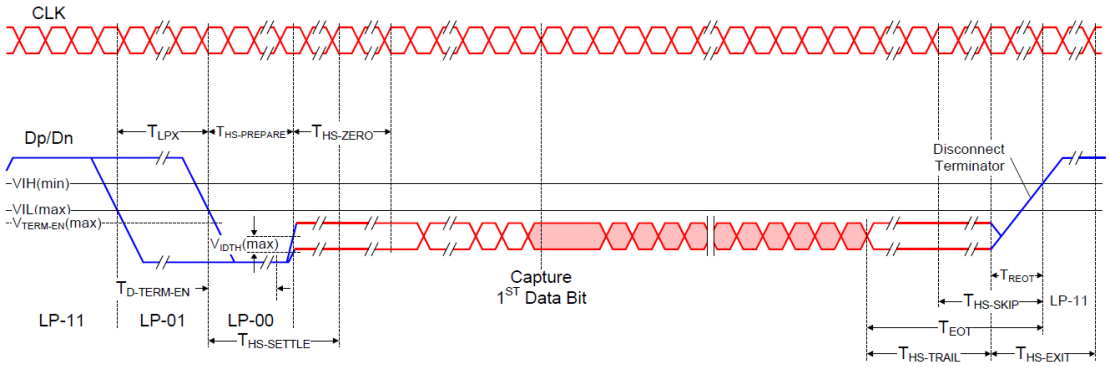
控制模式完全基于低功耗单端信号（LP）实现，与高速模式的差分信号有本质区别。信号驱动方式由每个通道的 Dp、Dn 两条线作为独立的单端信号线，各自由发送端的 LP-Tx 推挽驱动器驱动，接收端由 LP-Rx 高阻抗单端接收器检测电平，无终端电阻，输入阻抗为高阻态，控制模式电平标准与 1.2V LVCMOS 兼容，可直接与数字逻辑

电路对接。

状态电平	Dp 电平	Dn 电平	核心作用
LP-11	高（1.2V）	高（1.2V）	Stop 空闲态，控制模式默认基准状态
LP-10	高（1.2V）	低（0V）	控制指令态，标记逻辑 0 / 特定控制请求
LP-01	低（0V）	高（1.2V）	控制指令态，标记逻辑 1 / 特定控制请求
LP-00	低（0V）	低（0V）	过渡态 / 超低功耗态，标记模式切换入口

数据通道进入和退出 HS 模式

数据通道进入和退出 HS 模式分为两个部分【LP→HS 进入过程（SOT）和 HS→LP 退出过程（EOT）】，链路从默认空闲态 LP-11 出发，经过固定的 LP 电平预告、HS 电路建立、最终进入稳定的高速数据传输，整个过程有严格的时序约束，避免无触发与采样错误。



数据通道 LP-HS-LP 完整时序图，图片来源于 MIPI 联盟规范第 1.2 版

LP→HS 模式过程：

- 阶段一：初始空闲态 LP-11
- 阶段二：LP 预告序列（LP-11→LP-01→LP-00）。通过两步的 LP 电平跳变，通知接收端【即将进入高速模式】，同时和逃逸模式做入口区分；

LP-01 阶段	T_LPX（Low-Power exit）	Dp 拉低，Dn 保持高电平	LP 电平状态的最小持续时间，每个 LP 状态跳变后必须至少保持该时长，确保接收端可靠识别，防止毛刺误触发。D-PHY v1.2 规范最小值为 50ns。
LP-00 阶段	T_HS-PREPARE（HS 准备时间）	Dp 拉低，Dn 拉低	从进入 LP-00 开始，到 HS 差分驱动器输出稳定电平前的时间。此阶段发送端关闭 LP 驱动器、启动 HS 驱动器，总线共模电平从 0V 向 HS 共模标称值（约 600mV）建立。
	T_HS-ZERO（HS 零电平时间）		HS 驱动器启动后，持续输出固定 HS-0 差分电平（差分低）的时间，给接收端做时钟锁定、采样相位校准。
	T_HS-SETTLE（HS 建立总时间）		从 LP-00 起始时刻，到第一个有效数据比特可被正确采样的总时间，满足 T_HS-SETTLE = T_HS-PREPARE + T_HS-ZERO。这是接收端接通终端电阻、完成电路偏置、锁定相位的总窗口，D-PHY v1.2 最小值为 140ns + 10UI。 UI = Unit Interval，单位比特间隔 = 1 / 数据速率，速率越高 UI 越小（如 2.5Gbps 时 UI=400ps）

- 阶段三：电气阈值和终端电阻切换；

V_TERM-EN(max)	终端电阻使能阈值。接收端检测到单端电平降到该阈值以下时，触发接通 100Ω 差分终端电阻；T_D-TERM-EN 就是从电平开始下拉，到终端电阻完全接通的时间。
V_IDTH(max)	差分输入检测阈值最大值。电平跨过该阈值后，接收端正式识别为有效 HS 差分信号，开始进入同步采样准备。

- 阶段四：HS 有效数据传输。跨过 T_HS-SETTLE 窗口后，第一个有效数据比特（1st Data Bit）可以被接收端捕获，此后进入连续高速数据传输（红色差分波形），顶部的 CLK 时钟通道同步输出连续差分时钟，采用源同步 DDR 采样（时钟上下沿均采样数据） 传输时长由上层数据量决定，一帧图像可能包含数百万个比特周期。

HS→LP 退出过程：

高速数据传输结束后，通过拖尾保持、驱动器切换，最终回到 LP-11 空闲态，完成一次完整的高速突发传输。完整的时序过程也分为四个阶段

- 阶段一：HS 拖尾期（T_HS-TRAIL）；最后一个有效数据比特传输完成后，发送端停止数据跳变，将差分输出固定在 HS-0 电平并保持。

T_HS-TRAIL	*HS 拖尾时间，作用是给接收端留出最后一个比特的采样保持窗口，确保末尾数据不丢失，同时准备关闭 HS 接收电路。D-PHY v1.2 最小值为 100ns + 6UI。*

- 阶段二：驱动器切换与电平回归；拖尾期结束后，发送端关闭 HS 差分驱动器，切换回 LP 单端驱动器，电平从 HS 共模电平向 LP 高电平爬升。

T_HS-EXIT	*HS 退出时间，从 HS 拖尾结束，到 LP 电平稳定到 LP-11 的硬件切换时间*
T_EOT（End of Transmission）	*整个传输结束的总时长，从最后一个有效数据比特结束，到链路完全回到 LP-11 空闲态，满足 T_EOT = T_HS-TRAIL + T_HS-EXIT。*

- 阶段三：终端电阻断开（Disconnect Terminator）；接收端检测到 HS 信号消失、电平开始上升时，断开 100Ω 差分终端电阻，切回 LP 模式的高阻抗输入状态。

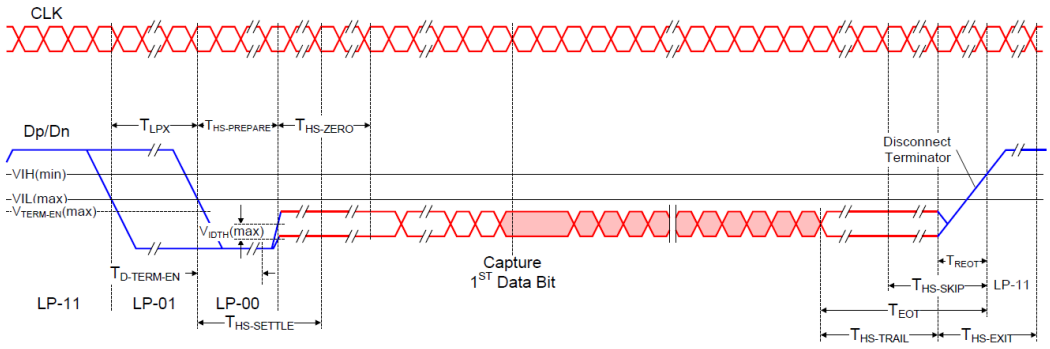
T_HS-SKIP	*HS 跳过时间，从 HS 信号消失到 LP 电平达到有效高电平的区间，终端电阻在此区间内完成断开*
T_REOT	*转换结束时间，电平从 HS 共模上升到 LP-11 有效高电平的上升沿时间*

- 阶段四：回到 LP-11 空闲态；电平稳定在 LP-11 后，链路完全回到初始低功耗空闲状态，一次完整的 LP→HS→LP 传输周期结束，可等待下一次传输，或进入逃逸模式、ULPS 等更低功耗状态。

时钟通道

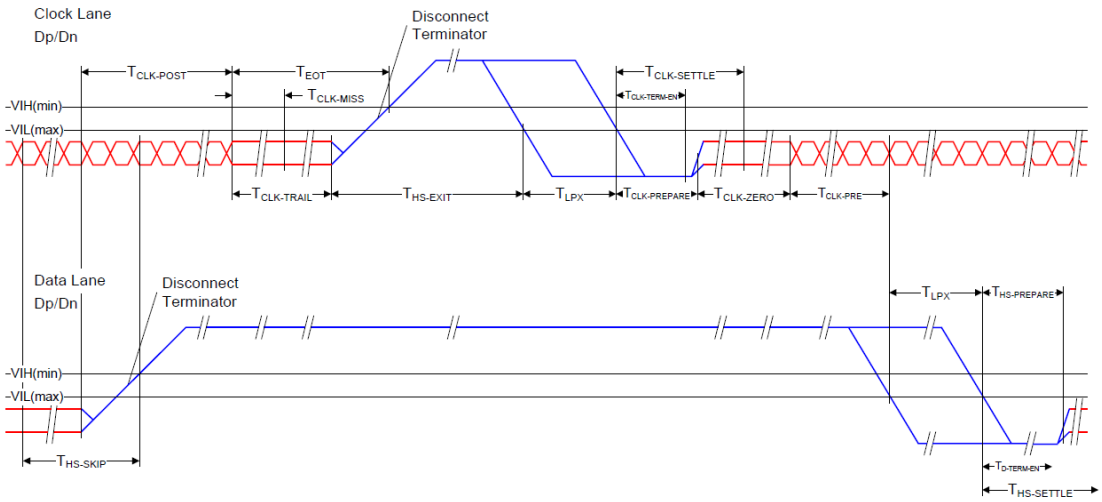
D-PHY 物理层时钟通道定义了两种工作模式，连续时钟模式（Continue Clock Mode）和非连续时钟模式（Non-Continue Clock Mod，又称间歇时钟模式）。二者差异在于数据通道的空闲间隙，时钟通道是否持续输出差分时钟。这是 D-PHY 平衡功耗，EMI 与传输性能的关键设计，由主端控制器配置，需主从设备两端同时支持。

- 连续时钟模式：在 HS 模式下生效，即使没有数据包发送的空闲，时钟通道也会持续发送高速时钟信号，时钟通道不需要在数据包之间频繁地从低功耗（LP）模式进入高速（HS）模式再退出，因此消除了模式切换带来的时序开销。



连续时钟模式，持续发送差分的高速时钟，不会进行模式切换，图片来源于 MIPI 联盟规范第 1.2 版

- 非连续时钟模式：时钟通道在高速数据包传输的间隙会进入低功耗（LP-11）状态。只有在需要传输高速数据包时，时钟通道才会从 LP-11 状态进入 HS 模式，发送时钟信号，并在数据包传输结束后再次返回 LP-11 状态。时钟信号是“门控”的，即只在需要时才打开。

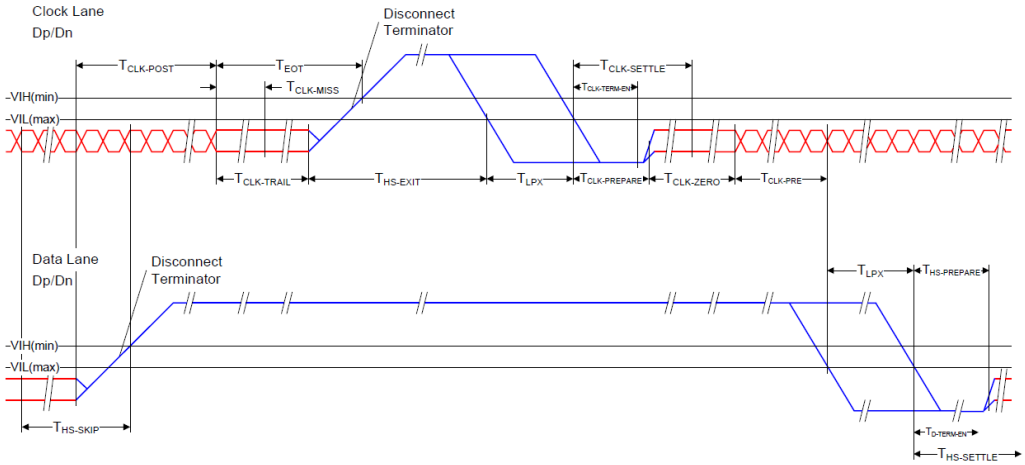


非连续时钟模式，时钟在高速数据包传输空闲间隙会进入低功耗状态，以减少功耗，图片来源于 MIPI 联盟规范第 1.2 版

时钟通道进入和退出 HS 模式

一次完整的高速突发传输，时钟与数据的切换遵循严格的先后顺序，时钟窗口必须完全包裹数据窗口--时钟通道提前进入高速模式、滞后退出高速模式，确保整个数据传输周期内都有稳定的时钟可供采样，保障建立 / 保持时间裕量。

- 传输开始（SOT）：时钟通道先从 LP 进入 HS 并稳定 → 数据通道再进入 HS 输出有效数据；
- 传输结束（EoT）：数据通道先结束传输退出 HS → 时钟通道延后退出 HS 回到 LP；
- 空闲阶段：两者均稳定在 LP-11 Stop 态，等待下一次传输；



时钟通道 HS~LP~HS 协同切换时序图，图片来源于 MIPI 联盟规范第 1.2 版

传输可拆解为以下几个部分：

左半段：HS→LP 退出过程（传输结束 EOT）

1. 数据退出（下半部分左侧）：

T_HS-SKIP	*HS 跳过时间，数据传输结束后，差分电平从 HS 共模向 LP 高电平爬升的过渡窗口；接收端在此区间内断开 100Ω 差分终端电阻（Disconnect Terminator），从 HS 接收模式切换为 LP 高阻抗接收模式 。结束后，数据通道稳定在 LP-11 空闲电平，完成 HS 退出*

2. 时钟通道退出（上半部分左侧）：

   时钟通道滞后于数据通道结束，由 T_CLK-POST 定义滞后量

T_CLK-POST	*时钟后置时间。从数据通道最后一个有效比特结束，到时钟通道最后一个有效时钟跳变的时间差。这是源同步接口的核心参数，作用是给接收端提供足够的数据保持时间，确保末尾数据被可靠采样，避免亚稳态。*
T_CLK-TRAIL	*时钟拖尾时间。最后一个时钟跳变后，时钟通道保持固定 HS 差分低电平的时间，给时钟接收电路收尾、完成最后一次采样。*
T_CLK-MISS	*时钟缺失检测窗口。接收端检测到时钟停止跳变、识别到时钟即将退出 HS 的时间区间。*
T_HS-EXIT	*HS 退出时间。时钟通道关闭 HS 差分驱动器、切换为 LP 单端驱动器、电平爬升至 LP 高电平的过渡时间。*
T_EOT	*时钟通道传输结束总时长，从最后一个有效时钟跳变到 LP 电平稳定的总时间，T_EOT = T_CLK-TRAIL + T_HS-EXIT。*
Disconnect Terminator	*时钟通道接收端在此区间断开差分终端电阻，切换到 LP 模式。*

中间段：LP 空闲态

时钟通道与数据通道均稳定在 LP-11 高电平，处于 Stop 空闲状态，是两次高速传输之间的待机间隔，持续时长由上层业务决定，此阶段链路功耗极低。

右半段：LP → HS 进入过程（传输开始 SoT）

时钟通道先启动并完成高速建立，待时钟输出稳定后，数据通道再启动进入高速模式，为第一个数据比特提供足够的建立时间。

1. 时钟通道进入（上半部分右侧）

   时钟通道率先完成 LP→HS 切换，对应一组时钟专属的建立参数：

T_LPX	*LP 状态最小持续时间。LP-00 电平的最短保持时长，保证接收端可靠识别模式切换请求，避免毛刺误触发，与数据通道的 T_LPX 定义一致。*
T_CLK-PREPARE	*时钟准备时间。关闭 LP 驱动器、启动 HS 差分驱动器，总线共模电平从 LP 电平向 HS 共模建立的过渡时间。*
T_CLK-ZERO	*时钟零电平时间。HS 驱动器启动后，持续输出固定 HS-0 差分电平的时间，给接收端时钟电路完成偏置建立、时钟锁定。*
T_CLK-SETTLE	*时钟建立总时间。从 LP-00 起始时刻到时钟输出稳定可被可靠采样的总时长，T_CLK-SETTLE = T_CLK-PREPARE + T_CLK-ZERO，对应数据通道的 T_HS-SETTLE。*
T_CLK-TERM-EN	*时钟终端电阻使能时间。接收端检测到电平下降到阈值后，接通 100Ω 差分终端电阻的时间窗口。*
T_CLK-PRE	*时钟前置时间。从时钟通道输出第一个有效跳变时钟，到数据通道输出第一个有效数据比特的时间差。这是源同步接口的另一核心参数，作用是给接收端提供足够的数据建立时间，确保首个数据比特被正确采样。*

2. 数据通道进入（下半部分右侧）

   在时钟稳定后，数据通道启动 LP→HS 切换，时序与单数据通道 SoT 完全一致，具体可以请看上一章节“数据通道进入和退出 HS 模式”部分

使用自动化一致性软件深入了解 MIPI D-PHY

上一章节提到 MIPI D-PHY 的物理层以及严苛的时序要求，我们如何对如此严苛的时序进行测试呢？MIPI D-PHY 的物理层 Tx 测试主要基于示波器和自动化一致性软件完成，根据 MIPI D-PHY 各版本的速率及规格参数选择合适带宽的示波器及高速差分探头，按照 MIPI 协会的要求，针对不同速率的 MIPI 版本示波器带宽选用如下：

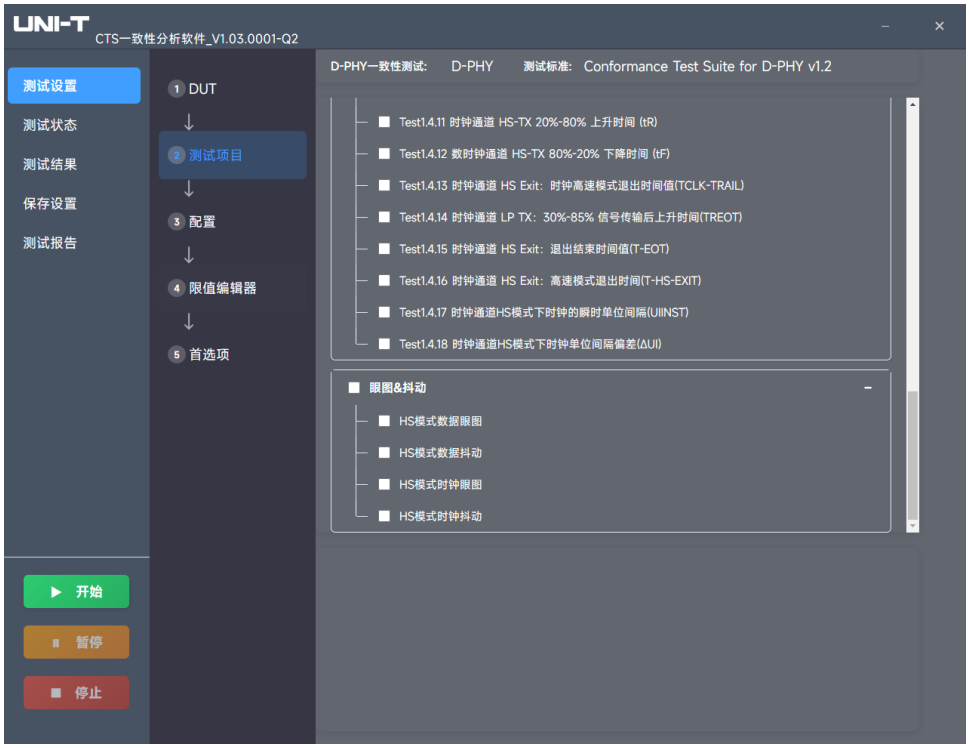
信号速率	开发调试最低要求	CTS 示波器要求	支持的型号
80Mbps~1.5Gbps（v1.1）	4GHz	6GHz	MSO8000HD 系列，MSO8000HDP 系列，UPO70000 系列
80Mbps~2.5Gbps（v1.2）	4GHz	8GHz	MSO8000HD 系列，MSO8000HDP 系列，UPO70000 系列
80Mbps~4.5Gbps（v2.1）	8GHz	13GHz	UPO70000 系列，一致性后续将支持

MIPI D-PHY v1.2 一致性分析软件：

优利德推出的 MIPI 一致性分析软件为 MIPI D-PHY Tx 测试提供了全自动化执行的一致性测试解决方案。测试套件支持上述优利德发布的新款示波器，一致性分析软件可以全部测试/选择性测试任何发射机指标，包括示波器全面控制要求的设置，测试完毕后，将生成完善的测试报告以及测试通过/失败的结果，显示波形和数据视图，除一致性要求的时序测试之外，您还可以利用新款示波器的抖动分析和眼图软件在真实世界条件下测试 MIPI D-PHY 的眼图和抖动，并将眼图和抖动数据一并计入一致性报告中。

主要特色：

- 缩短测试时间：通过设置向导实现全面自动化，根据 MIPI 联盟标准执行 D-PHY v1.2 版本的一致性测试。软件根据测试要求自动配置测试仪器，极大缩短整体测试时间。
- 测试范围覆盖：覆盖 Group1~5 全部测试项。
- 验证和调试：配套抖动和眼图分析工具可以帮助您进一步验证或找到故障。
- 全方位报告：自动生成报告，包括波形测试通过/失败结果，详细测试结果，屏幕截图或分析视图等。
- 自动化抖动和眼图测试，创新的选通眼图功能自动寻找 HS 段的数据和时钟信号，单独叠加眼图，计算抖动。



MIPI D-PHY v1.2 Tx 一致性测试项目

MIPI D-PHY 在数据通道和时钟通道上遵循严格是的时序要求，MIPI 联盟制定了关于 D-PHY 时序测试的一致性测试要求，共 6 个 Group 的测试内容，针对数据通道、时钟通道的 HS 和 LP 模式以及 HS 模式时钟和数据通道的时间要求。具体时序要求请查阅上一章节或 MIPI 联盟规范。

Group1：Data Lane LP-Tx 信号测试项

TEST1.1.1 数据通道 LP-TX 戴维南输出高电平电压(VOH)
TEST1.1.2 数据通道 LP-TX 戴维南输出低电平电压(VOL)
TEST1.1.3 数据通道 LP-TX 15% -85%上升时间(TRLP)
TEST1.1.4 数据通道 LP-TX 15% -85%下降时间(TFLP)
TEST1.1.5 数据通道 LP-TX 特定负载电容（ CLOAD）的压摆率(ΔV/ΔTSR)
TEST1.1.6 数据通道 LP-TX 异或时钟的脉冲宽度（TLP-PULSE-TX）
TEST1.1.7 数据通道 LP-TX 异或时钟周期 (TLP-PER-TX)

Group2：Clock Lane LP-Tx 信号测试项

TEST1.2.1 时钟通道 LP-TX 戴维南输出高电平电压(VOH)
TEST1.2.2 时钟通道 LP-TX 戴维南输出低电平电压(VOL)
TEST1.2.3 时钟通道 LP-TX 15% -85%上升时间(TRLP)
TEST1.2.4 时钟通道 LP-TX15% -85%下降时间(TFLP)
TEST1.2.5 时钟通道 LP-TX 特定负载电容（ CLOAD）的压摆率(ΔV/ΔTSR)

Group3：Data Lane HS-Tx 信号测试项

TEST1.3.1 数据通道 HS ENTRY 低功耗至高速模式转换时间（TLPX）
TEST1.3.2 数据通道 HS ENTRY 高速模式准备时间（THS-PREPARE）
TEST1.3.3 数据通道 HS ENTRY 高速模式准备时间和高速零状态时间值之和（THS-PREPARE + THS-ZERO）
TEST1.3.4 数据通道 HS-TX 差分电压(VOD(0)、VOD(1)值)
TEST1.3.5 数据通道 HS-TX 差分电压失配(ΔVOD)
TEST1.3.6 数据通道 HS-TX 单端输出高电压(VOHHS(DP)、VOHHS(DN))
TEST1.3.7 数据通道 HS-TX 静态共模电压（VCMTX(1)、VCMTX(0)）
TEST1.3.8 数据通道 HS-TX 静态共模电压失配 (ΔVCMTX(1,0))
TEST1.3.9 数据通道 HS-TX 在 50-450 MHZ 范围内的动态共模电平变化 (ΔVCMTX(LF))
TEST1.3.10 数据通道 HS-TX 在 450MHZ 以上的动态共模电平变化(ΔVCMTX(HF))
TEST1.3.11 数据通道 HS-TX 20%-80% 上升时间 (T-R)
TEST1.3.12 数据通道 HS-TX 80%-20% 下降时间 (T-F)
TEST1.3.13 数据通道 HS EXIT：高速模式退出时间（T-HS-TRAIL）
TEST1.3.14 数据通道 LP TX：30%-85% 信号传输后上升时间 (T-REOT)
TEST1.3.15 数据通道 HS EXIT：传输退出结束时间（T-EOT）
TEST1.3.16 数据通道 HS EXIT：高速退出时间（T-HS-EXIT）

Group4：Clock Lane HS-Tx 信号测试项

TEST1.4.1 时钟通道 HS ENTRY 低功耗至高速模式转换时间（T-LPX）
TEST1.4.2 时钟通道 HS ENTRY 时钟高速模式准备时间（TCLK-PREPARE）
TEST1.4.3 时钟通道 HS ENTRY 高速模式准备时间和高速零状态时间值之和（THS-PREPARE + THS-ZERO）
TEST1.4.4 时钟通道 HS-TX 差分电压(VOD(0)、VOD(1)值)
TEST1.4.5 时钟通道 HS-TX 差分电压失配(ΔVOD)
TEST1.4.6 时钟通道 HS-TX 单端输出高电压(VOHHS(DP)、VOHHS(DN))
TEST1.4.7 时钟通道 HS-TX 静态共模电压（VCMTX(1)、VCMTX(0)）
TEST1.4.8 时钟通道 HS-TX 静态共模电压失配 (ΔVCMTX(1,0))
TEST1.4.9 时钟通道 HS-TX 在 50-450 MHZ 范围内的动态共模电平变化 (ΔVCMTX(LF))
TEST1.4.10 时钟通道 HS-TX 在 450MHZ 以上的动态共模电平变化(ΔVCMTX(HF))
TEST1.4.11 时钟通道 HS-TX 20%-80% 上升时间 (TR)
TEST1.4.12 时钟通道 HS-TX 80%-20% 下降时间 (TF)
TEST1.4.13 时钟通道 HS EXIT：时钟高速模式退出时间值(TCLK-TRAIL)
TEST1.3.14 数据通道 LP TX：30%-85% 信号传输后上升时间 (T-REOT)
TEST1.4.15 时钟通道 HS EXIT：退出结束时间值（T-EOT）
TEST1.4.16 时钟通道 HS EXIT：高速模式退出时间（T-HS-EXIT）
TEST1.4.17 时钟通道 HS 模式下时钟的瞬时单位间隔(UIINST)

TEST1.4.18 时钟通道 HS 模式下时钟单位间隔偏差(ΔUI)

Group5：HS-Tx 时钟到数据通道的时间要求

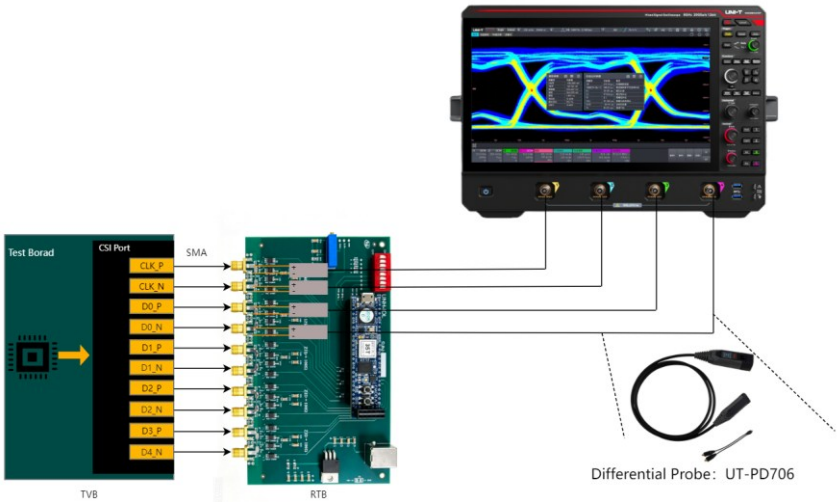
TEST1.5.1 HS ENTRY：时钟预充电时间(TCLK-PRE)
TEST1.5.2 HS EXIT：时钟后充电时间值(TCLK-POST)
TEST1.5.3 高速时钟上升沿与首个有效载荷位的对齐
TEST1.5.4 数据与时钟偏斜 LOCK SKEW （T-SKEW[TX]）
TEST1.5.5 初始化下的数据通道和时钟通道之间时序校准 （T-SKEWCAL-SYNC, T-SKEWCAL）
TEST1.5.6 周期重复下的数据通道和时钟通道之间时序校准 （T-SKEWCAL-SYNC, T-SKEWCAL）

Group6：LP-Tx 初始化状态，超低功耗状态和总线周转（BTA）要求（后续支持）

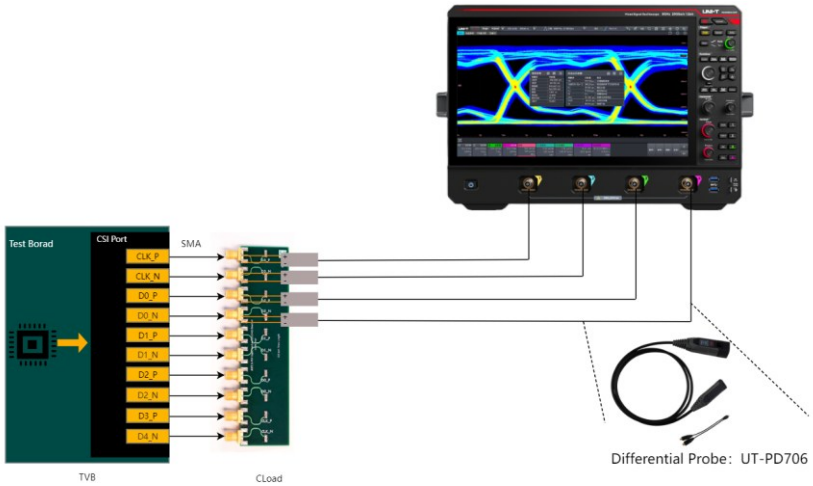
TEST1.6.1 INIT: LP-TX 初始化周期时间 （T-INIT,MASTER）
TEST1.6.2 ULPS ENTRY: 验证时钟通道 LP-TX 是否进入 ULPS 状态
TEST1.6.3 ULPS ENTRY: 时钟通道 ULPS 到 HS 模式唤醒时间（T-WAKEUP）
TEST1.6.4 BTA: TX-端 T-TA-GO 间隔时间
TEST1.6.5 RX-SIDE：接收端 T-TA-SURE 间隔时间
TEST1.6.6 RX-SIDE：接收端 T-TA-GET 间隔时间

MIPI D-PHY v1.2 一致性测试环境搭建

对于 MIPI 芯片或模组的测试可以根据 MIPI 协会推荐的方法设计评估板 TVB（Test Vehicle Board）把信号转换成标准的 SMA 接口输出，并结合协会提供的 RTB（Reference Termination Board）进行信号测试。RTB 板提供标准的匹配切换以及不同线路容性负载的选择。

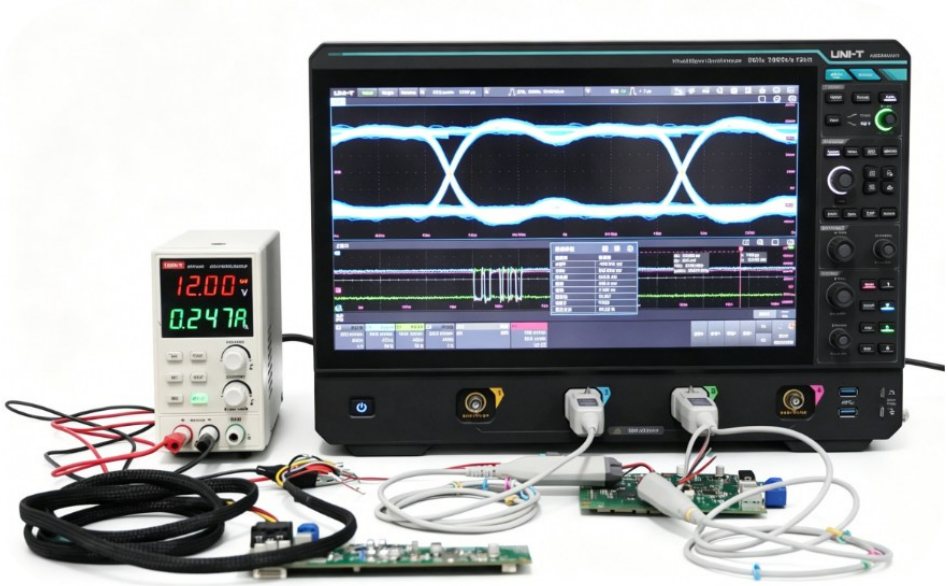


MIPI D-PHY 芯片或模组使用协会推荐的 RTB 板连接测试 Group3&4&5



MIPI D-PHY 芯片或模组使用协会推荐的 CLOAD 板连接测试 Group1&2

而对于系统厂商如手机厂商等，由于系统设计已经完成，要进行 MIPI 的信号测试只需使用焊接/点测探头连接 PCB 上的实际信号进行测试即可。



上图展示的是使用两条差分探头分别焊接到 Data+和 Data-信号测试差分眼图的情况

为了提高测试效率，测试中推荐采用 4 支探头分别连接 Clk+/Clk-和 Data+/Data-信号进行测试，之所以每个差分对需要两个探头进行测试是因为 D-PHY 信号线存在上 HS 和 LP 两种模式，并且这两种模式端接方式不同，LP 单端，HS 为差分信号，仅仅使用一个差分探头测试无法满足 DUT 工作要求，对于有多条数据 Lane 的情况，可以每条 Lane 分别测试。

测试报告

MIPI D-PHY 的测试复杂多样，借助自动化一致性分析软件能更高效地完成每一项时序的测试，测试完成后，一致性分析软件将生成带有详细测试信息的测试报告。报告支持 PDF 或 HTML 格式，包括了测试是否 PASS，测试摘要，协议标准及限值裕量分析，以及测试结果和对应的测试截图，帮助您深入了解您的 MIPI 设计。

UNI-T **MIPI D-Phy v1.2 Compliance Test Report**

Overall Information

Application Info	
Application Name	CTS D-PHY
Application Version	1.03.0000-Q1
Device Info	
Scope Model Number	MSO8804HD
Scope Software Version	V2.02.0000-Q4
Scope Serial Number	AHD8225010001
Test Info	
DUT ID	DUT_1
Overall Test Result	Pass
Compliance Limits	MIPI D-PHY-CTS Specification v1.2
Test Time	2026-07-09 16:57:12.858
Excute Time	00:03:05.747
Acquisition Mode	Live

Result Summary-Group3

Test Name	Result	Measure Value	Pass Limit
Test 1.3.1 Data Lane HS Entry: Data Lane TLPX Value	Pass	122.233ns	50.000<=Value
Test 1.3.2 Data Lane HS Entry: THS-PREPARE Value	Pass	52.200ns	50.000<=Value<=100.000
Test 1.3.3 Data Lane HS Entry: THS-PREPARE + THS-ZERO Value	Pass	199.500ns	170.000<=Value
Test 1.3.4 Data Lane HS-TX Differential Voltages	Pass	191.465mV	140.000<=Value<=270.000
		201.480mV	140.000<=Value<=270.000
Test 1.3.5 Data Lane HS-TX Differential Voltage Mismatch	Pass	10.015mV	Value<=14.000
Test 1.3.6 Data Lane HS-TX Single-Ended Output High Voltages	Pass	340.167mV	Value<=360.000
		327.333mV	Value<=360.000
Test 1.3.7 Data Lane HS-TX Static Common-Mode Voltages	Pass	245.197mV	150.000<=Value<=250.000
		242.035mV	150.000<=Value<=250.000
Test 1.3.8 Data Lane HS-TX Static Common-Mode Voltage Mismatch	Pass	3.162mV	Value<=5.000
Test 1.3.9 Data Lane HS-TX Dynamic Common-Level Variations Between 50-450MHz	Pass	19.817mV	Value<=25.000
Test 1.3.10 Data Lane HS-TX Dynamic Common-Level Variations Above 450MHz	Pass	0.352mV	Value<=15.000
Test 1.3.11 Data Lane HS-TX 20%-80% Rise Time	Pass	608.688ps	150.000<=Value<=750.000
Test 1.3.12 Data Lane HS-TX 80%-20% Fall Time	Pass	514.450ps	150.000<=Value<=750.000
Test 1.3.13 Data Lane HS Exit: THS-TRAIL Value	Pass	106.100ns	100.000<=Value
Test 1.3.14 Data Lane HS Exit: 30%-85% Post-EoT Rise Time	Pass	5.628ns	Value<=35.000
Test 1.3.15 Data Lane HS Exit: TEOT Value	Pass	112.402ns	Value<=135.000
Test 1.3.16 Data Lane HS Exit: THS-EXIT Value	Pass	135.637ns	100.000<=Value

Pass:16 Fail:0 Skipped:0

Test 1.3.15 Data Lane HS Exit: TEOT Value Pass

Standard : D-PHY Specification, Table 14
To verify that the combined duration of the THS-TRAIL plus TREOT intervals (a.k.a. TEOT) of the DUT Data Lane transmitter is less than the maximum allowed value.

Sub Name	Result	Measure Value	Unit	Lower Limit	Upper Limit	Margin	Comments
THS-REOT+THS-TRAIL	Pass	112.402	ns	N.A.	135.000	High:22.598	N.A.

Back to Result Summary

Test 1.3.16 Data Lane HS Exit: THS-EXIT Value Pass

Standard : D-PHY Specification, Table 14
To verify that the duration that the Data Lane transmitter remains in the LP-11 (Stop) state after exiting HS mode (THS-EXIT), is greater than the minimum required value.

Sub Name	Result	Measure Value	Unit	Lower Limit	Upper Limit	Margin	Comments
THS-EXIT	Pass	135.637	ns	100.000	N.A.	Low:35.637	N.A.

Back to Result Summary

THS-LPX



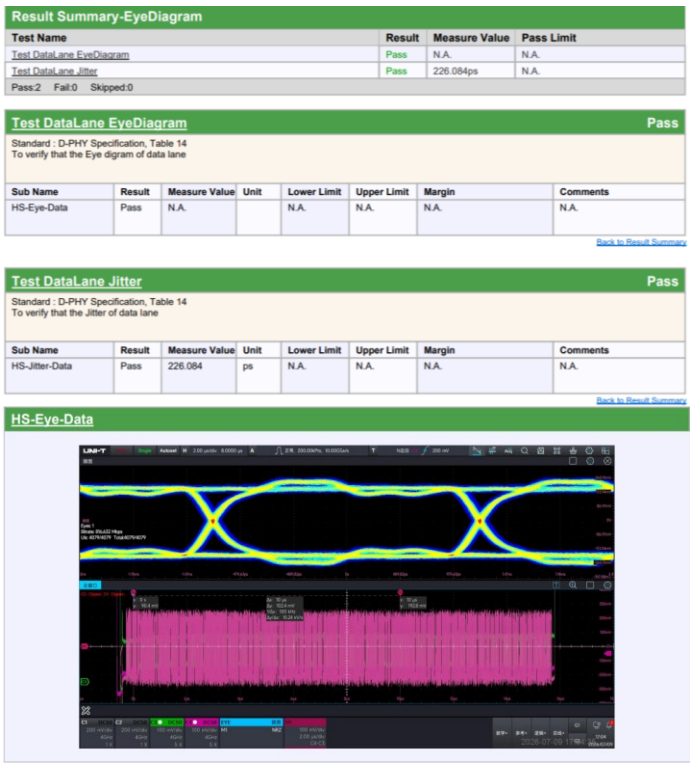
自动化抖动眼图工具调试 MIPI D-PHY 信号

MIPI 信号的测试难点在于调试阶段如何通过示波器进行故障排查，最核心的难点主要在于 HS/LP 双模式动态切换的复合测试难题，如何从复合的信号中分离出 HS 信号。眼图和抖动测试是工程师最常用的方法，但高端示波器的眼图和抖动功能相对于不熟悉示波器的工程师不太友好，抖动参数的设置很大程度影响到测试结果，在示波器上还需选取合适的垂直/水平档位，存储深度。甚至对于 MIPI D-PHY 这样的混合模式信号来说，关心 HS 模式的时钟和数据抖动以及眼图张开度是工程师调试的最有效手段，但是如何分离出 HS 信号进行眼图分析，甚至能否自动识别 HS 信号，让眼图和抖动测试自动化完成，这是工程师期待的。

自动化完成眼图和抖动测试

优利德推出的 MIPI D-PHY v1.2 一致性分析解决方案，除可以测试协会规定的 Group1~5 时序测试之外，额外增加了自动化眼图和抖动测试项目，用户仅需依据一致性测试的向导设置 D-PHY 的信号速率，一致性分析软件将自动配置示波器进行 D-PHY 事件触发，这在分析 CSI/DSI 信号时非常有用，触发完毕后，抖动分析和眼图功能将自动打开，自动分离时钟/数据 HS 信号进行时钟恢复，并将眼图和抖动分析结果计入一致性分析报告中。

- 眼图分析参数：眼幅度、眼高、眼宽、1 电平、0 电平、眼交叉比、Q 因子
- 抖动分析参数：TIE，TJ@BER，RJ，DJ，PJ，DDJ，DCD，ISI
- 抖动分析视图：TIE 直方图、TIE 趋势图、TIE 频谱图、浴盆曲线



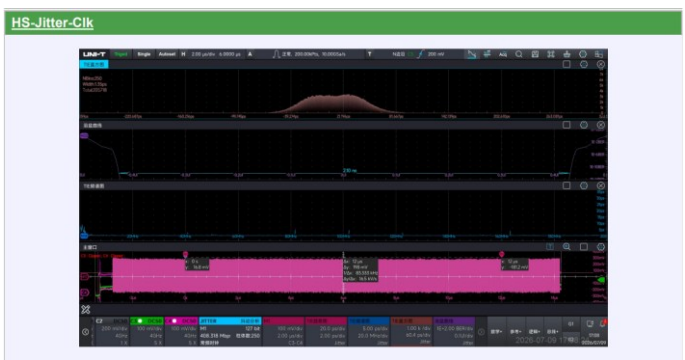
数据通道在完整突发序列中分离 HS 模式信号的眼图测试



数据通道在完整突发序列中分离 HS 模式信号的抖动测试



时钟通道在完整突发序列中分离 HS 模式信号的眼图测试



时钟通道在完整突发序列中分离 HS 模式信号的抖动测试

订购信息

优利德推出的 MIPI D-PHY v1.2 一致性分析方案具备高度自动化的测试控制流程，以直观的 UI 界面引导用户完成各项设置和操作，生成测试报告。您可以根据自己所需的测试场景配置您的测试方案。

*必选：先选择示波器，支持 MIPI D-PHY v1.2 一致性分析的示波器

UPO71304	13GHz（每通道），40GSa/s（每通道），4Gpts（每通道）
UPO71004	10GHz（每通道），40GSa/s（每通道），4Gpts（每通道）
MSO8804HDP	8GHz（每通道），20GSa/s（每通道），4Gpts（每通道）
MSO8604HDP	6GHz（每通道），20GSa/s（每通道），4Gpts（每通道）
MSO8804HD	8GHz，20GSa/s，2Gpts
MSO8604HD	6GHz，20GSa/s，2Gpts
MSO8504HD	5GHz，20GSa/s，2Gpts

*必选：选择 MIPI D-PHY 的分析软件

JITTER	抖动分析和眼图选件
CTSDPHY12	MIPI D-PHY v1.2 一致性分析选件

*必选：选择有源差分探头×4，推荐

UT-PD706	有源差分探头 6GHz
UT-PD7-DSI01	焊接式前端模块，适配 UT-PD706 有源差分探头
UT-PD7-DB01	手持式前端模块，适配 UT-PD706 有源差分探头

†可选：MIPI 测试夹具，需在协会官网购买：https://www.iol.unh.edu/

MIPI D-PHY Reference Termination Board (RTB)
MIPI D-PHY Capacitive Load (CLOAD) Fixture

若需要选件和测试方案详情请咨询优利德销售或代理商